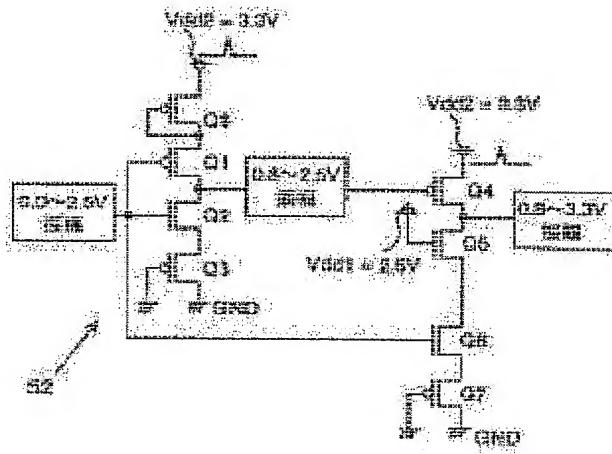


LEVEL SHIFT CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT

Patent number: JP2001024501 (A)
Publication date: 2001-01-26
Inventor(s): AIHARA YASUTOSHI +
Applicant(s): HITACHI LTD +
Classification:
- **international:** G05F3/24; H03K19/0185; (IPC1-7): G05F3/24; H03K19/0185
- **europen:**
Application number: JP19990197222 19990712
Priority number(s): JP19990197222 19990712

Abstract of JP 2001024501 (A)

PROBLEM TO BE SOLVED: To improve the noise resistance of a level shift circuit. **SOLUTION:** A level conversion circuit formed of 1st level shift part (Q1 to Q3) for converting 1st amplitude into 2nd amplitude and a 2nd level shift part (Q4 to Q7) for converting the 2nd amplitude obtained from the 1st level shift part (Q1 to Q3) into 3rd amplitude different from the 2nd amplitude is provided with a step-down means Q8 for stepping down operation power supply ($V_{dd2}=3.3$ V) to be supplied to the 2nd level shift part (Q4 to Q7) and supplying the step-down voltage to the 1st level shift part (Q1 to Q3) to improve noise resistance.



Data supplied from the **espacenet** database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-24501

(P2001-24501A)

(43)公開日 平成13年1月26日 (2001.1.26)

(51)Int.Cl.⁷

H 03 K 19/0185
G 05 F 3/24

識別記号

F I

テ-マ-ト^{*} (参考)

H 03 K 19/00 1 0 1 D 5 H 4 2 0
G 05 F 3/24 Z 5 J 0 5 6
H 03 K 19/00 1 0 1 E

審査請求 未請求 請求項の数 6 O.L. (全 7 頁)

(21)出願番号

特願平11-197222

(22)出願日

平成11年7月12日 (1999.7.12)

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 相原 康敏

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74)代理人 100089071

弁理士 玉村 静世

Fターム(参考) 5H420 NB02 NB25 NC35
5J056 AA04 AA11 BB35 CC00 CC14
CC21 DD13 DD28 DD56 EE12
FF08 GG07

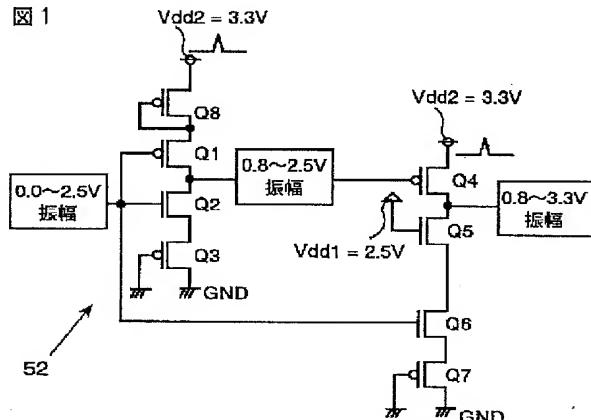
(54)【発明の名称】 レベルシフト回路及び半導体集積回路

(57)【要約】

【課題】 レベルシフト回路のノイズ耐性の向上を図ることにある。

【解決手段】 第1振幅をそれとは異なる第2振幅に変換するための第1レベルシフト部 (Q1～Q3) と、上記第1レベルシフト部からの第2振幅をそれとは異なる第3振幅に変換するための第2レベルシフト部 (Q4～Q7) とを有してレベル変換回路が形成されるとき、上記第2レベルシフト部に供給される動作用電源 (Vdd2 = 3.3V) を降圧して上記第1レベルシフト部に供給するための降圧手段 (Q8) とを設けることで、ノイズ耐性の向上を図る。

図1



【特許請求の範囲】

【請求項 1】 第1振幅をそれとは異なる第2振幅に変換するための第1レベルシフト部と、上記第1レベルシフト部からの第2振幅をそれとは異なる第3振幅に変換するための第2レベルシフト部と、上記第2レベルシフト部に供給される動作用電源を降圧して上記第1レベルシフト部に供給するための降圧手段とを含むことを特徴とするレベルシフト回路。

【請求項 2】 pチャンネル型MOSトランジスタとnチャンネル型MOSトランジスタとが直列接続されて成るインバータと、上記インバータのローレベル出力信号をグランドレベルから上昇させるためのpチャンネル型MOSトランジスタとを含み、第1振幅をそれとは異なる第2振幅に変換するための第1レベルシフト部と、上記第1レベルシフト部からの第2振幅をそれとは異なる第3振幅に変換するための第2レベルシフト部と、上記第2レベルシフト部に供給される動作用電源を降圧して上記第1レベルシフト部に供給するための降圧手段とを含むことを特徴とするレベルシフト回路。

【請求項 3】 互いに交差結合された二つのトランジスタを有し、第1振幅をそれとは異なる第2振幅及び第3振幅に変換するための第1レベルシフト部と、上記第2振幅の信号を反転するためのインバータと、上記第3振幅の信号及び上記インバータの出力信号に基づいて第4振幅の信号を得るための第2レベルシフト部と、上記互いに交差結合された二つのトランジスタのうち上記第3振幅の信号を出力する側のトランジスタを含むトランジスタ直列回路の動作用電源として、上記第2レベルシフト部に供給される動作用電源を降圧して供給するための降圧手段とを含むことを特徴とするレベルシフト回路。

【請求項 4】 互いに交差結合された二つのトランジスタのうち上記第3振幅の信号を出力する側のトランジスタとグランドとの間に、上記第1振幅の信号によって動作制御されるpチャンネル型MOSトランジスタを設けた請求項3記載のレベルシフト回路。

【請求項 5】 上記降圧手段として、ゲート電極とドレイン電極とが結合されたpチャンネル型MOSトランジスタを適用して成る請求項1乃至4の何れか1項記載のレベルシフト回路。

【請求項 6】 内部論理回路と、上記内部論理回路と外部回路との間で信号のやり取りを可能とする入出力回路とを含む半導体集積回路であって、上記入出力回路は、請求項1乃至5の何れか1項記載のレベルシフト回路を含んで成ることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、信号のレベルシフ

トを行うためのレベルシフト回路及びそれを含んで成る半導体集積回路に関する。

【0002】

【従来の技術】 半導体集積回路のチップ縁辺部にはチップ内部とチップ外部との間で信号のやり取りを可能とするための複数の入出力回路が設けられている。この入出力回路はチップ外部からチップ内部へ信号を取り込むための入力回路や、それとは逆にチップ内部の信号をチップ外部に出力するための出力回路とを含む。

【0003】 上記出力回路には、外部ピンを介して外部信号ラインを駆動するための出力バッファが設けられる。また、半導体集積回路の内部動作の高速化のために、外部から供給された電源電圧をそれよりも低い値に降下させてから各論理回路へ供給する場合があり、かかる場合には、内部論理回路の出力レベルで出力バッファを直接駆動することができないため、信号振幅を変換するためのレベルシフト回路が出力バッファの前段に設けられる。

【0004】 尚、レベルシフト回路について記載された文献の例としては、平成6年3月1日に、工業調査会から発行された「CMOS回路の使い方（I）（第146頁～）」がある。

【0005】

【発明が解決しようとする課題】 レベルシフト回路について本願発明者が検討したところ、一定の条件下でノイズに弱いことが見いだされた。

【0006】 図6には、本発明にかかるレベルシフト回路の比較対照とされる回路が示される。尚、この回路及び本発明にかかる回路では、プロセス制約上、ゲート酸化膜耐圧は2.5Vという前提がある。

【0007】 pチャンネル型MOSトランジスタQ61と、nチャンネル型MOSトランジスタQ62とが互いに直列接続されてインバータが形成される。さらにこのインバータに、pチャンネル型MOSトランジスタQ63が直列接続されている。pチャンネル型MOSトランジスタQ61のソース電極には高電位側電源Vdd1=2.5Vが供給される。pチャンネル型MOSトランジスタQ63のゲート電極とドレイン電極はグランドGNに結合される。pチャンネル型MOSトランジスタQ61とnチャンネル型MOSトランジスタQ62のゲート電極に、ロー（L）レベルの信号が入力されると、pチャンネル型MOSトランジスタQ61とnチャンネル型MOSトランジスタQ62の直列接続ノードからハイ（H）レベルの信号が出力される。

【0008】 ここで、pチャンネル型MOSトランジスタQ63は、pチャンネル型MOSトランジスタQ61とnチャンネル型MOSトランジスタQ62の直列接続ノードのローレベルを0.8Vに規制し、次段pチャンネル型MOSトランジスタQ64のゲート酸化膜耐圧を守るために設けられる。それにより、pチャンネル型M

OSトランジスタQ61とnチャンネル型MOSトランジスタQ62のゲート電極に0.0～2.5V振幅の信号が入力されると、pチャンネル型MOSトランジスタQ61とnチャンネル型MOSトランジスタQ62の直列接続ノードにおいては、0.8V～2.5V振幅が得られる。

【0009】上記pチャンネル型MOSトランジスタQ61とnチャンネル型MOSトランジスタQ62の直列接続ノードからの出力信号は後段に配置されたpチャンネル型MOSトランジスタQ64のゲート電極に伝達される。このpチャンネル型MOSトランジスタQ64のソース電極には高電位側電源Vdd2=3.3Vが供給される。上記pチャンネル型MOSトランジスタQ65には、nチャンネル型MOSトランジスタQ66及びpチャンネル型MOSトランジスタQ67が直列接続されている。nチャンネル型MOSトランジスタQ65のゲート電極には高電位側電源Vdd1=2.5Vが供給される。nチャンネル型MOSトランジスタQ66のゲート電極には、0.0～2.5V振幅の入力信号が伝達される。pチャンネル型MOSトランジスタQ67のドレイン電極とゲート電極とはグランドGNDに結合される。上記pチャンネル型MOSトランジスタQ64とnチャンネル型MOSトランジスタQ65との直列接続ノードから出力信号が得られる。この出力信号は、pチャンネル型MOSトランジスタQ64のゲート電極に入力された信号の論理が反転されたものとされ、その振幅は0.8～3.3Vとされる。振幅が0.0Vにならないのは、pチャンネル型MOSトランジスタQ67が設けられているからである。

【0010】上記の構成において、高電位側電源Vdd1に負のノイズが混入され、高電位側電源Vdd2に正のノイズが混入された場合を考えてみる。高電位側電源Vdd1に混入された負のノイズは、高電位側電源Vdd1=2.5Vを一時的に低下させるように作用し、高電位側電源Vdd2に混入された正のノイズは、高電位側電源Vdd2を一時的に上昇させるように作用する。

【0011】pチャンネル型MOSトランジスタQ61とnチャンネル型MOSトランジスタQ62との直列接続ノードがハイ(H)レベルの場合において、上記のノイズ条件成立した場合には、pチャンネル型MOSトランジスタQ64のゲート・ソース間電圧Vgsが一時的に大きくなってしまい、それまでオフ状態であったpチャンネル型MOSトランジスタQ64がオン状態に移行してしまい、本来ローレベルであるはずの出力信号がハイレベルに変化される。そのような論理反転は、後段回路の誤動作を招来する。

【0012】本発明の目的は、レベルシフト回路のノイズ耐性の向上を図るための技術を提供することにある。

【0013】

【課題を解決するための手段】本願において開示される

発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0014】すなわち、第1振幅をそれとは異なる第2振幅に変換するための第1レベルシフト部と、この第1レベルシフト部からの第2振幅をそれとは異なる第3振幅に変換するための第2レベルシフト部と、この第2レベルシフト部に供給される動作電源を降圧して上記第1レベルシフト部に供給するための降圧手段とを設けてレベルシフト回路を構成する。

【0015】上記した手段によれば、降圧手段は、上記第2レベルシフト部に供給される動作電源を降圧して上記第1レベルシフト部に供給する。それにより、上記第1レベルシフト部に供給される電圧は、上記第2レベルシフト部に供給される電圧に由来する。故に、上記第2レベルシフト部に供給される電圧にノイズが含まれる場合には、それと同一極性のノイズが上記第1レベルシフト部にも現れるため、上記第2レベルシフト部におけるトランジスタのゲート・ソース間電圧への影響を排除する。このことが、ノイズ耐性の向上を達成する。

【0016】このとき、上記第1レベルシフト部は、pチャンネル型MOSトランジスタとnチャンネル型MOSトランジスタとが直列接続されて成るインバータと、上記インバータのローレベル出力信号をグランドレベルから上昇させるためのpチャンネル型MOSトランジスタとを含んで構成することができる。

【0017】また、互いに交差結合された二つのトランジスタを有し、第1振幅をそれとは異なる第2振幅及び第3振幅に変換するための第1レベルシフト部と、上記第2振幅の信号を反転するためのインバータと、上記第3振幅の信号及び上記インバータの出力信号に基づいて第4振幅の信号を得るための第2レベルシフト部と、上記互いに交差結合された二つのトランジスタのうち上記第3振幅の信号を出力する側のトランジスタを含むトランジスタ直列回路の動作電源として、上記第2レベルシフト部に供給される動作電源を降圧して供給するための降圧手段とを含んでレベルシフト回路を構成することができる。

【0018】このとき、上記第3振幅のローレベル電位をグランドレベルよりも高くするために、上記第3振幅の信号を出力する側のトランジスタとグランドとの間に、上記第1振幅の信号によって動作制御されるpチャンネル型MOSトランジスタを設けることができる。

【0019】さらに、上記降圧手段として、ゲート電極とドレイン電極とが結合されたpチャンネル型MOSトランジスタを適用することができる。

【0020】そして、内部論理回路と、上記内部論理回路と外部回路との間で信号のやり取りを可能とする入出力回路とを含んで半導体集積回路が構成されるとき、上記入出力回路は、上記構成のレベルシフト回路を含んで構成することができる。

【0021】

【発明の実施の形態】図4には本発明にかかる半導体集積回路の構成例が示される。

【0022】図4に示される半導体集積回路31は、特に制限されないが、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成されたASIC(Application Specific IC)とされる。ゲートアレイ方式により所定の論理機能が実現された内部論理回路32が設けられ、そのような内部論理回路32の周囲には、当該内部論理回路と外部との間で各種信号のやり取りを可能とするための複数の入出力回路33が配列されている。個々の入出力回路33は、内部論理回路の出力信号を外部出力するための出力回路と、それとは逆に外部からの信号を内部論理回路に取り込むための入力回路とを含む。

【0023】図5には上記出力回路の構成例が示される。

【0024】図5に示される出力回路50は、特に制限されないが、0.0～1.8Vの内部振幅を0.0～2.5V振幅にレベルシフトするための0.0～2.5V振幅生成回路51、この0.0～2.5V振幅生成回路51の出力信号を0.8～3.3V振幅にレベルシフトするための0.8～3.3V振幅生成回路52、上記0.0～2.5V振幅生成回路51の出力信号を0.8～2.5V振幅にレベルシフトするための0.8～2.5V振幅生成回路53、上記0.0～1.8Vの内部振幅を0.0～2.5V振幅にレベルシフトするための0.0～2.5V振幅生成回路54を含み、さらに、pチャンネル型MOSトランジスタQ51、Q52及びnチャンネル型MOSトランジスタQ53、Q54が設けられている。

【0025】pチャンネル型MOSトランジスタQ51のソース電極は高電位側電源Vdd2=3.3Vに結合されている。

【0026】pチャンネル型MOSトランジスタQ51のゲート電極には0.8～3.3V振幅生成回路52の出力信号が伝達される。pチャンネル型MOSトランジスタQ52のゲート電極には0.8～2.5V振幅生成回路53の出力信号が伝達される。nチャンネル型MOSトランジスタQ53のゲート電極には高電位側電源Vdd1=2.5Vが供給される。nチャンネル型MOSトランジスタQ54のゲート電極には0.0～2.5V振幅生成回路54の出力信号が伝達される。nチャンネル型MOSトランジスタQ54のソース電極はグランドGNDに結合される。

【0027】上記の構成において、0.0～1.8V内部振幅は、0.0～2.5V振幅生成回路51、54によりそれぞれ0.0～2.5V振幅に変換される。0.0～2.5V振幅生成回路51の出力信号は、0.8～3.3V振幅生成回路52により0.8～3.3V振幅

に変換されてから後段のpチャンネル型MOSトランジスタQ51のゲート電極に伝達される。また、0.8～2.5V振幅生成回路53により0.8～2.5V振幅に変換されてから後段のpチャンネル型MOSトランジスタQ52のゲート電極に伝達される。さらに、0.0～2.5V振幅生成回路54の出力信号は後段のnチャンネル型MOSトランジスタQ54に伝達される。それにより、pチャンネル型MOSトランジスタQ52とnチャンネル型MOSトランジスタQ53との直列接続ノードから0.0～3.3V外部振幅の出力信号が得られる。

【0028】図1には上記0.8～3.3V振幅生成回路52の構成例が示される。

【0029】pチャンネル型MOSトランジスタQ1と、nチャンネル型MOSトランジスタQ2とが互いに直列接続されてインバータが形成される。さらにこのインバータに、pチャンネル型MOSトランジスタQ3が直列接続されている。pチャンネル型MOSトランジスタQ3のゲート電極とドレイン電極はグランドGNDに結合される。

【0030】pチャンネル型MOSトランジスタQ1のソース電極は、降圧手段の一例であるpチャンネル型MOSトランジスタQ8を介して高電位側電源Vdd2=3.3Vに結合される。pチャンネル型MOSトランジスタQ8のゲート電極とドレイン電極とが結合されており、上記高電位側電源Vdd2=3.3Vは、pチャンネル型MOSトランジスタQ1により、2.5Vに低下される。そして、pチャンネル型MOSトランジスタQ3は、pチャンネル型MOSトランジスタQ1とnチャンネル型MOSトランジスタQ2の直列接続ノードのローレベルを0.8Vに規制する。故に、pチャンネル型MOSトランジスタQ1とnチャンネル型MOSトランジスタQ2との直列接続ノードにおける信号振幅は、0.8～2.5Vにされる。pチャンネル型MOSトランジスタQ3は、pチャンネル型MOSトランジスタQ1とnチャンネル型MOSトランジスタQ2の直列接続ノードのローレベルを0.8Vに規制するために設けられる。それにより、pチャンネル型MOSトランジスタQ1とnチャンネル型MOSトランジスタQ2のゲート電極に0.0～2.5V振幅の信号が入力されると、pチャンネル型MOSトランジスタQ1とnチャンネル型MOSトランジスタQ2の直列接続ノードにおいては、0.8V～2.5V振幅が得られる。このような意味でMOSトランジスタQ1～Q3により第1レベルシフト部が形成される。

【0031】ここで、上記pチャンネル型MOSトランジスタQ1とnチャンネル型MOSトランジスタQ2の直列接続ノードからの出力信号は後段に配置されたpチャンネル型MOSトランジスタQ4のゲート電極に伝達される。このpチャンネル型MOSトランジスタQ4の

ソース電極には高電位側電源 $V_{dd2} = 3.3$ V が供給される。上記 p チャンネル型 MOS トランジスタ Q5 には、n チャンネル型 MOS トランジスタ Q6 及び n チャンネル型 MOS トランジスタ Q6 が直列接続されている。n チャンネル型 MOS トランジスタ Q5 のゲート電極には高電位側電源 $V_{dd1} = 2.5$ V が供給される。n チャンネル型 MOS トランジスタ Q6 のゲート電極には、0.0 ~ 2.5 V 振幅の入力信号が伝達される。p チャンネル型 MOS トランジスタ Q7 のドレイン電極とゲート電極とはグランド GND の結合される。上記 p チャンネル型 MOS トランジスタ Q4 と n チャンネル型 MOS トランジスタ Q5 との直列接続ノードから出力信号が得られる。この出力信号は、p チャンネル型 MOS トランジスタ Q4 のゲート電極に入力された信号の論理が反転されたものとされ、その振幅は 0.8 ~ 3.3 V とされる。このような意味において、MOS トランジスタ Q4 ~ Q7 により、第2 レベルシフト部が形成される。

【0032】尚、振幅が 0.0 V にならないのは、p チャンネル型 MOS トランジスタ Q7 が設けられているからである。

【0033】上記の構成において、p チャンネル型 MOS トランジスタ Q8 は、p チャンネル型 MOS トランジスタ Q4 に供給される動作電圧 $V_{dd2} = 3.3$ V を 2.5 V にまで降圧して上記第1 レベルシフト部 (Q1 ~ Q3) に供給する。それにより、上記 p チャンネル型 MOS トランジスタ Q1 2 に供給される電圧は、上記 p チャンネル型 MOS トランジスタ Q4 に供給される電圧に由来する。故に、上記第2 レベルシフト部に供給される電圧にノイズが含まれる場合には、それと同一極性のノイズが p チャンネル型 MOS トランジスタ Q1 にも現れ、それは p チャンネル型 MOS トランジスタ Q4 のゲート・ソース間電圧 V_{gs} への影響を排除する。つまり、 $V_{dd2} = 3.3$ V が上昇するようなノイズが生じた場合、それと同じ電圧変化が MOS トランジスタ Q8 にも現れるため、p チャンネル型 MOS トランジスタ Q4 のゲート・ソース間電圧 V_{gs} の上昇を生じない。このため、上記ノイズに起因して出力信号の不所望な論理反転を生ずることがなくなり、ノイズ耐性の向上を図ることができる。

【0034】図 2 には振幅生成回路の別の構成例が示される。

【0035】図 2 に示される回路では、0.0 ~ 1.8 V 振幅の信号が 0.8 ~ 3.3 V 振幅に変換される。

【0036】尚、図 2において、図 1 に示されるのと同一機能を有するものには同一符号が付されている。

【0037】p チャンネル型 MOS トランジスタ Q10 と n チャンネル型 MOS トランジスタ Q11 とが直列接続され、p チャンネル型 MOS トランジスタ Q12 と p チャンネル型 MOS トランジスタ Q13 とが直列接続されている。p チャンネル型 MOS トランジスタ Q10 と

n チャンネル型 MOS トランジスタ Q11 との直列接続ノードは p チャンネル型 MOS トランジスタ Q12 のゲート電極に結合され、p チャンネル型 MOS トランジスタ Q12, Q13 の直列接続ノードは p チャンネル型 MOS トランジスタ Q10 のゲート電極に結合される。n チャンネル型 MOS トランジスタ Q11 のゲート電極と p チャンネル型 MOS トランジスタ Q13 のゲート電極には、0.0 ~ 1.8 V 振幅の信号が伝達される。この回路は、いわゆる交差結合型ラッチ回路と称されるもので、n チャンネル型 MOS トランジスタ Q11 のドレイン電極はノード N2 とされ、ここから 0.0 ~ 2.5 V 振幅の信号が得られ、それが、p チャンネル型 MOS トランジスタ Q14 と n チャンネル型 MOS トランジスタ Q15 が直列接続されて成るインバータを介して n チャンネル型 MOS トランジスタ Q6 のゲート電極に伝達される。また、Q13 が p チャンネル型 MOS トランジスタとされることから、この p チャンネル型 MOS トランジスタ Q13 のソース電極のローレベルは 0.8 V とされる。p チャンネル型 MOS トランジスタ Q13 のソース電極はノード N3 とされ、ここから 0.8 ~ 2.5 V 振幅の信号が得られ、それが、後段の p チャンネル型 MOS トランジスタ Q4 のゲート電極に取り込まれる。

【0038】ここで、MOS トランジスタ Q1 ~ Q13 により第1 レベルシフト部が形成され、MOS トランジスタ Q4 ~ Q7 により第2 レベルシフト部が形成される。

【0039】また、降圧手段の一例としてゲート電極とドレイン電極とが結合された p チャンネル型 MOS トランジスタ Q17 が設けられる。p チャンネル型 MOS トランジスタ Q12 の動作電源は上記 p チャンネル型 MOS トランジスタ Q17 を介して供給される。つまり、 $V_{dd2} = 3.3$ V が p チャンネル型 MOS トランジスタ Q17 により 2.5 V に降圧されて p チャンネル型 MOS トランジスタ Q12 に供給される。それにより、上記 p チャンネル型 MOS トランジスタ Q12 に供給される電圧は、上記 p チャンネル型 MOS トランジスタ Q4 に供給される電圧に由来する。故に、p チャンネル型 MOS トランジスタ Q4 に供給される電圧にノイズが含まれる場合には、それと同一極性のノイズが p チャンネル型 MOS トランジスタ Q12 にも現れるため、p チャンネル型 MOS トランジスタ Q4 のゲート・ソース間電圧への影響が排除され、それによりノイズ耐性の向上を図ることができる。

【0040】図 3 には振幅生成回路のさらに別の構成例が示される。

【0041】図 3 に示される回路が、図 2 に示される回路と大きく異なるのは、p チャンネル型 MOS トランジスタ Q16, Q18, Q19、及び n チャンネル型 MOS トランジスタ Q19 を設けた点である。p チャンネル型 MOS トランジスタ Q19 と n チャンネル型 MOS ト

ランジスタQ20とが直列接続されてインバータが形成される。pチャンネル型MOSトランジスタQ16には、0.0～1.8V振幅の信号がそのまま入力されるが、pチャンネル型MOSトランジスタQ18には、0.0～1.8V振幅の信号が、pチャンネル型MOSトランジスタQ19とnチャンネル型MOSトランジスタQ20とが直列接続されて成るインバータにより反転されてから入力される。0.0～1.8V振幅の入力信号がローレベルからハイレベルに移行された際にpチャンネル型MOSトランジスタQ16が速やかにオフされることにより、Q10、Q11に流れる貫通電流が阻止される。また、0.0～1.8V振幅の入力信号がハイレベルからローレベルに移行された際に、pチャンネル型MOSトランジスタQ18が速やかにオフされることにより、Q12、Q13に流れる貫通電流が阻止される。

【0042】図3に示される回路においても、降圧手段としてのpチャンネル型MOSトランジスタQ17が設けられることで、上記pチャンネル型MOSトランジスタQ18に供給される電圧は、上記pチャンネル型MOSトランジスタQ12に供給される電圧に由来する。故に、pチャンネル型MOSトランジスタQ4に供給される電圧にノイズが含まれる場合には、それと同一極性のノイズがpチャンネル型MOSトランジスタQ12にも現れるため、pチャンネル型MOSトランジスタQ4のゲート・ソース間電圧への影響が排除される。それによりノイズ耐性の向上を図ることができる。

【0043】以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0044】例えば、降圧手段としてはpチャンネル型MOSトランジスタの他に、ツエナーダイオードや抵抗を採用することができる。そしてそれらは半導体チップの外部に配置することができる。

【0045】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるASICに適用した場合について説明したが、本発明はそれに限定されるものではなく、各種半導体集積回路に広く適用することができる。

【0046】本発明は、少なくとも振幅が異なる信号を取り扱うことを条件に適用することができる。

【0047】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0048】すなわち、第2レベルシフト部に供給される動作用電源が降圧されて第1レベルシフト部の動作用電源が形成されることにより、上記第1レベルシフト部に供給される電圧は、上記第2レベルシフト部に供給される電圧に由来するため、第2レベルシフト部に供給される電圧にノイズが含まれる場合には、それと同一極性のノイズが上記第1レベルシフト部にも現れ、それにより上記第2レベルシフト部におけるトランジスタのゲート・ソース間電圧への影響を排除することができ、ノイズ耐性の向上を達成することができる。

【図面の簡単な説明】

【図1】本発明にかかる半導体集積回路における主要部の構成例回路図である。

【図2】上記半導体集積回路における主要部の別の構成例回路図である。

【図3】上記半導体集積回路における主要部の別の構成例回路図である。

【図4】上記半導体集積回路の全体的な構成例説明図である。

【図5】上記半導体集積回路における主要部の構成例ブロック図である。

【図6】上記半導体集積回路における主要部との比較対照とされる構成の回路図である。

【符号の説明】

51, 54 0.0～2.5V振幅生成回路

52 0.8～3.3V振幅生成回路

53 0.8～2.5V振幅生成回路

31 半導体集積回路

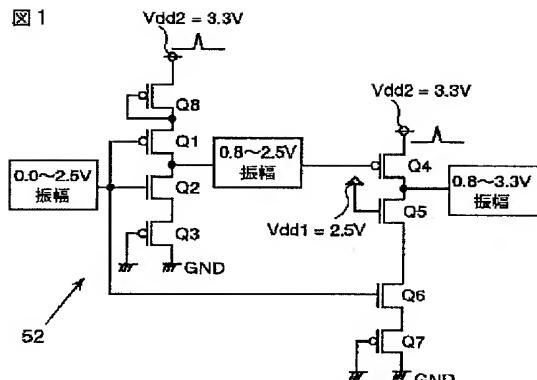
32 内部論理回路

33 入出力回路

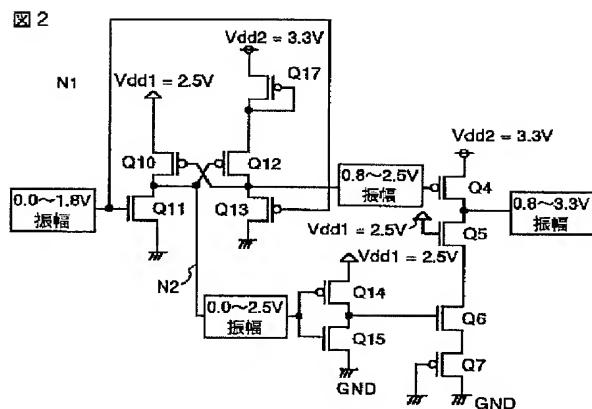
Q1, Q3, Q8, Q10, Q12, Q17 pチャンネル型MOSトランジスタ

Q2 nチャンネル型MOSトランジスタ

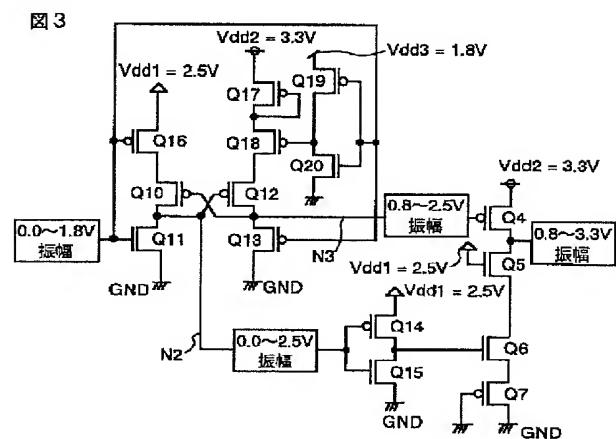
【図 1】



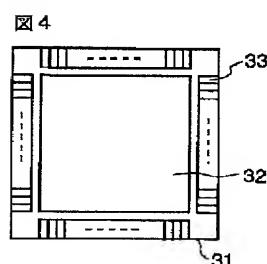
【図 2】



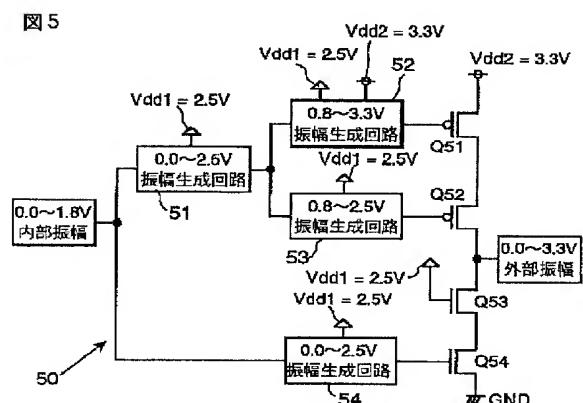
【図 3】



【図 4】



【図 5】



【図 6】

